

## **1. Моделиране на последователен входно-изходен интерфейс**

[Върбов И., В. Кукенска, П. Минев, *Моделиране на последователен входно-изходен интерфейс, Международна научна конференция "УНИТЕХ'11", Габрово, 18 – 19 Ноември, 2011, том I, стр. 388-392, ISSN 1313-230X*]

### **Резюме**

Докладът представя разработването и моделирането на последователен входно-изходен интерфейс, използван за обмен на данни между устройства в компютърни системи. Разгледани са основните видове интерфейси – паралелен и последователен, като се подчертава, че последователният интерфейс е по-подходящ за предаване на данни на големи разстояния, тъй като използва по-малко линии за връзка.

Описан е принципът на асинхронно последователно предаване на данни. При него всеки блок от данни започва със стартов бит, следван от 7 или 8 бита данни, възможен бит за контрол по четност и един или повече стопови бита. Тази структура позволява надеждно синхронизиране между предавателя и приемника.

В доклада е предложен модел на интерфейс, състоящ се от три основни модула:

- блок за предаване на данни;
- блок за приемане на данни;
- тактов генератор.

Моделът е реализиран между две развойни платки, свързани чрез четири линии – две за вход и две за изход. Предаването се осъществява със стартов бит и осем информационни бита, синхронизирани с тактов сигнал. Работата на интерфейса е организирана чрез краен автомат, който управлява последователността на приемане и предаване на битовете.

Реализацията е изпълнена върху FPGA платка Spartan-3E-250, като моделирането е направено с езика за описание на хардуер VHDL в средата Xilinx WebPack ISE. Представени са примерни VHDL модули за предаване и приемане на данни, както и описание на използваните входно-изходни сигнали.

В заключение се посочва, че разработеният модел е успешно тестван в лабораторни условия и може да се използва при проектиране на различни входно-изходни интерфейси за компютърни системи. Той позволява лесно разширяване и интегриране в други приложения.

## **2. Моделиране и симулиране на микропроцесор с RISC архитектура**

[Върбов И., *Моделиране и симулиране на микропроцесор с RISC архитектура, Знание, наука, иновации, технологии, Велико Търново, 27 Март, 2026, под печат, ISSN 2815-3480*]

## Резюме

Докладът представя разработването на модел на микропроцесор, базиран на принципите на RISC архитектурата. Тази архитектура използва опростен набор от инструкции, фиксиран формат на командите и ефективно използване на регистрите. Това позволява по-висока производителност и по-ниска хардуерна сложност.

Разгледана е структурата на микропроцесора. Тя включва основни модули: аритметично-логическо устройство (ALU), регистър за инструкции, регистри с общо предназначение, памет за данни, памет за инструкции и блок за контрол. Блокът за контрол декодира инструкциите и управлява изпълнението им в останалите модули.

Представен е форматът на инструкциите. Използват се три типа инструкции:

- R-тип – операции между регистри;
- I-тип – операции с непосредствени данни;
- J-тип – инструкции за преход в програмата.

Описани са основните аритметични и логически операции като събиране, изваждане, умножение, логически операции (AND, OR, XOR и др.), както и операции за преместване на данни между регистри. Специален регистър се използва за съхраняване на част от резултата при умножение.

Моделът включва отделна памет за инструкции и памет за данни. Реализирани са инструкции за запис и четене на данни от паметта. Добавени са и условни флагове (carry, zero, sign, overflow), които се използват при изпълнение на инструкции за преход.

Блокът за контрол е реализиран като краен автомат с няколко състояния: инициализация, извличане на инструкция, декодиране и изпълнение, определяне на следваща инструкция и спиране на процесора.

Моделът на микропроцесора е реализиран на езика за описание на хардуер VHDL и е симулиран в средата Xilinx ISE. За проверка на работоспособността е използвана тестова програма на асемблер. Резултатите от симулацията показват коректно декодиране и изпълнение на инструкциите.

В заключение се посочва, че разработеният модел е функционално коректен и може да се използва за обучение на студенти по компютърни архитектури и микропроцесорна техника, както и като основа за разработване на други процесорни архитектури.

### 3. Моделиране и изследване на памет с произволен достъп

[Върбов И., В. Куценска, П. Минев, *Моделиране и изследване на памет с произволен достъп, Международна научна конференция "УНИТЕХ'12", Габрово, 16 – 17 Ноември, 2012, том I, стр. 414-418, ISSN 1313-230X*]

## Резюме

Докладът представя разработването и изследването на функционален модел на памет с произволен достъп (RAM). Съвременното проектиране на цифрови устройства се основава на използването на езици за хардуерно описание, което позволява създаване на

модели на различни нива на абстракция и улеснява процеса на разработка и тестване на електронни системи.

Разгледани са основните характеристики на оперативната памет, която е важен компонент на компютърните системи. Тя се използва за съхранение на операционната система и изпълняваните програми и осигурява бърз достъп до данните. RAM паметта позволява както запис, така и четене на информация и може да бъде статична или динамична.

Предложеният модел на паметта се състои от няколко основни модула:

- модул за въвеждане на данни;
- модул памет за съхранение на информацията;
- модул за сигурност за проверка на код за достъп;
- модул за извеждане на данните.

Моделът е реализиран чрез езика за описание на хардуер VHDL, като са използвани структурен и поведенчески подход при моделирането. Основна особеност на разработената памет е възможността за защита на данните чрез код за сигурност. При въвеждане на невалиден код данните се извеждат инвертирани и паметта може да работи само в режим на четене.

За проверка на функционалността моделът е тестван в средата WebPack ISE и реализиран върху развойна платка Basys2 с FPGA Spartan-3E. Входните данни се въвеждат чрез превключватели, а резултатите се визуализират чрез светодиоди и седемсегментни индикатори. Чрез бутони се управляват операциите запис, смяна на адрес и нулиране на адреса.

Резултатите от експериментите показват, че разработеният модел работи коректно и осигурява защита на съхранената информация. Моделът може да се използва при проектиране на памет и системи за защита на данни в компютърни системи.

#### **4. VHDL модел на Flash памет**

*[Върбов И., В. Кукенска, П. Минева, VHDL модел на FLASH памет, Международна научна конференция "УНИТЕХ'14", Габрово, 21 – 22 Ноември, 2014, том II, стр. 298-301, ISSN 1313-230X]*

##### **Резюме**

Докладът представя разработването на модел на флаш памет с високоскоростен сериен интерфейс SPI. Моделът е реализиран чрез езика за описание на хардуер VHDL и е предназначен за използване при проектиране и обучение в областта на цифровите системи.

В началото са разгледани основните видове електронни памет. Те се разделят на енергозависими и енергонезависими. Флаш паметта принадлежи към енергонезависимите памет, при които информацията се съхранява дори при изключено захранване.

Представена е структурата на флаш паметта. Тя използва сериен интерфейс SPI, който включва четири основни сигнала:

- MOSI – вход за последователни данни;
- MISO – изход за последователни данни;
- SCK – тактов сигнал;
- SS – сигнал за избор на устройството.

Паметта има секторна организация, като всеки сектор съдържа страници за съхранение на данни. Комуникацията със системата се осъществява чрез последователно предаване на команда, адрес и данни.

Моделът се състои от три основни блока:

- блок за SPI интерфейс;
- блок за управление;
- блок памет.

Блокът за управление е реализиран като краен автомат със състояния готовност, запис и четене. Чрез различни команди могат да се извършват операции като запис на данни, четене от паметта, изтриване на блокове или изтриване на цялата памет.

Моделът е реализиран във VHDL и е тестван върху развойна платка Basys2 с FPGA на Xilinx. По време на тестовете една платка управлява паметта и проверява коректността на записаните и прочетените данни.

В заключение се показва, че разработеният модел функционира правилно и може да се използва при проектиране на цифрови системи и в обучението по автоматизирано проектиране на електронни устройства.

## **5. Приложение на TL-Verilog за моделиране на компоненти на микропроцесорни архитектури**

[Varbov I., V. Kukenska, P. Minev, M. Dinev, *Application of TL-Verilog for Modelling Components of Microprocessor Architectures, Proceedings of International Scientific Conference Unitech'2023, Vol. 1, Gabrovo, 2023, pp. 1 273-279. ISSN 1313-230X*]

### **Резюме**

Докладът разглежда използването на езика за описание на хардуер TL-Verilog за моделиране на компоненти на микропроцесорни архитектури. TL-Verilog представлява разширение на Verilog, което предлага по-високо ниво на абстракция и по-удобен подход за разработване на сложни цифрови системи. Той позволява по-лесно описание на паралелни процеси и е подходящ за проектиране на микропроцесори и други цифрови устройства.

В доклада е разработен модел на микроархитектура на процесор, изпълняващ инструкции от системата RISC-V. Представена е блокова структура на процесора, която включва програмен брояч, памет за инструкции, блок за декодиране на инструкции, регистров

файл, аритметично-логическо устройство и памет за данни. Тези компоненти реализират основните етапи на изпълнение на инструкциите.

Описано е моделирането на основните модули. Програмният брояч определя адреса на следващата инструкция, а логиката за декодиране разделя машинната инструкция на отделни полета като opcode, регистри и непосредствени стойности. На базата на тези полета се определя конкретната операция, която трябва да бъде изпълнена.

В аритметично-логическото устройство се реализират различни операции като събиране, изваждане, логически операции и операции за преместване на битове. Представена е и логика за изпълнение на инструкции за преход, при които се проверяват условия чрез сравнение на стойности от регистрите.

За проверка на разработения модел е използвана средата Makerchip, която позволява симулация и визуализация на работата на TL-Verilog моделите. Създадена е тестова програма на асемблерен език за RISC-V, чрез която се проверява правилното изпълнение на аритметични операции, инструкции за преход и операции за достъп до паметта.

Получените резултати показват, че TL-Verilog предоставя удобни средства за моделиране на микропроцесорни архитектури. Езикът позволява по-лесно разбиране на работата на процесора и е подходящ за използване в обучението по цифрово проектиране и компютърни архитектури.

## 6. Modeling a microprocessor with RISC architecture

[Varbov, P. Minev, M. Dinev and V. Kukenska, "Modeling a microprocessor with RISC architecture," 2024 International Conference Automatics and Informatics (ICAI), Varna, Bulgaria, 2024, pp. 399-402, doi: 10.1109/ICAI63388.2024.10851508, IEEE]

### Резюме

Докладът разглежда разработването на модел на микропроцесор с RISC архитектура. Този тип архитектура използва малък набор от прости инструкции, които се изпълняват бързо и позволяват по-ефективна работа на процесора. Основните предимства на RISC архитектурите са фиксирана дължина на инструкциите, голям набор от регистри и възможност за използване на техники като конвейерна обработка за повишаване на производителността.

В доклада е представен Verilog модел на микропроцесор с RISC архитектура. Описана е структурата на процесора и основните му компоненти: блок за управление, регистър за инструкции, програмна памет, памет за данни, аритметично-логическо устройство и регистри с общо предназначение. Тези модули осигуряват изпълнението на инструкциите и обработката на данните.

Инструкциите в микропроцесора са организирани в три основни типа: R, I и J. Инструкциите от тип R работят с регистри, инструкциите от тип I използват непосредствени данни, а инструкциите от тип J се използват за преходи в програмата. Всяка инструкция съдържа полета като код на операцията, входни регистри, целеви регистър и непосредствени стойности.

Аритметично-логическото устройство реализира операции като събиране, изваждане, умножение и логически операции. Паметта на системата е разделена на памет за инструкции и памет за данни. Поддържат се инструкции за запис и четене на данни, както и инструкции за преход, които използват условни флагове като пренос, нула, знак и препълване.

Блокът за управление е реализиран като краен автомат с няколко състояния, които управляват извличането, декодирането и изпълнението на инструкциите. Моделът на микропроцесора е разработен и валидиран в средата Xilinx Vivado, като за тестването е използвана програма на асемблерен език. Резултатите от симулацията показват правилна работа на инструкциите и потвърждават функционалността на разработения модел.

В заключение се отбелязва, че разработеният Verilog модел е подходящ за изследване на микропроцесорни архитектури и може да се използва в обучението по компютърни архитектури и цифрово проектиране.

## **7. Моделиране и имплементация на микропроцесор с AVR микроконтролерна архитектура**

[И. Върбов, П. Минев, М. Динев, В. Кукенска, *Моделиране и имплементация на микропроцесор с AVR микроконтролерна архитектура, Международна научна конференция "УНИТЕХ'25", Габрово, 20 – 22 Ноември, 2025]*

### **Резюме**

Докладът представя разработването на модел на микропроцесор, базиран на AVR микроконтролерна архитектура. AVR е широко използвана 8-битова архитектура, характеризираща се с висока ефективност, ниска консумация на енергия и широко приложение във вградени системи. В разработката е използван RTL подход и езикът за описание на хардуер VHDL, като моделът е симулиран и реализиран върху FPGA платка.

В доклада е представена структурата на създадения модел. Той включва основните компоненти на микроконтролерната архитектура: програмен брояч, програмна памет, регистър за инструкции, декодер на инструкции, блок за управление, регистров файл, аритметично-логическо устройство, памет за данни, статус регистър и стеков указател. Тези модули осигуряват изпълнението на инструкциите и обработката на данните в системата.

Разгледани са и различните разновидности на AVR архитектурата, като класическо ядро, разширено ядро (avre), avre+, XMEGA и новите tiny архитектури. В разработения модел е използвана архитектурата avre, която поддържа разширен набор от инструкции и 32 универсални регистъра. Инструкциите включват аритметични, логически, инструкции за прехвърляне на данни и управление на изпълнението на програмата.

Изпълнението на инструкциите преминава през основните етапи: извличане на инструкцията от програмната памет, декодиране, изпълнение в аритметично-логическото устройство и обновяване на статус флаговете. За проверка на функционалността е създадена тестова програма, която демонстрира работата на аритметични операции, условни преходи и операции със стек.

Моделът е симулиран чрез инструмента ISim, а след това е синтезиран и имплементиран върху FPGA платка Basys-2 със Spartan-3E чип. Получените резултати показват коректно изпълнение на инструкциите и потвърждават работоспособността на разработената архитектура.

В заключение се посочва, че предложеният модел на AVR микроконтролер е подходящ за образователни и изследователски цели, както и за обучение по компютърни архитектури и проектиране на цифров хардуер.